

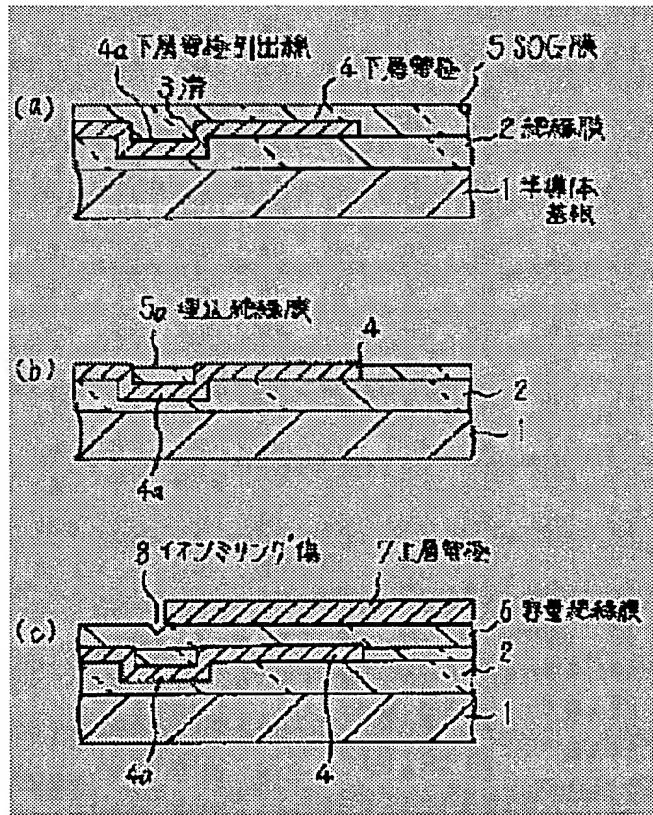
MIM CAPACITOR

Patent number: JP7326712
Publication date: 1995-12-12
Inventor: HOSOYA KENICHI
Applicant: NEC CORP
Classification:
- International: H01L27/04; H01L21/822
- European:
Application number: JP19940116401 19940530
Priority number(s):

Abstract of JP7326712

PURPOSE: To avoid a decline in insulation breakdown strength due to the ion milling scratch received in a patterning step for the formation of an upper layer electrode.

CONSTITUTION: A lower layer electrode 4 is covered with an upper layer electrode 7 one size larger than the lower layer electrode 4 while the peripheral ends of the upper layer electrode 7 are intersected with each other through the intermediary of the buried insulating film 5a in a trench 3 and the laminated part of a capacity insulating film 6 so as to avoid the insulation breakdown due to the ion milling scratch 8.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-326712

(43)公開日 平成7年(1995)12月12日

(51)Int.Cl.⁶

H 01 L 27/04
21/822

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 27/04

C

審査請求 有 請求項の数1 OL (全4頁)

(21)出願番号 特願平6-116401

(22)出願日 平成6年(1994)5月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 細谷 健一

東京都港区芝五丁目7番1号 日本電気株式会社内

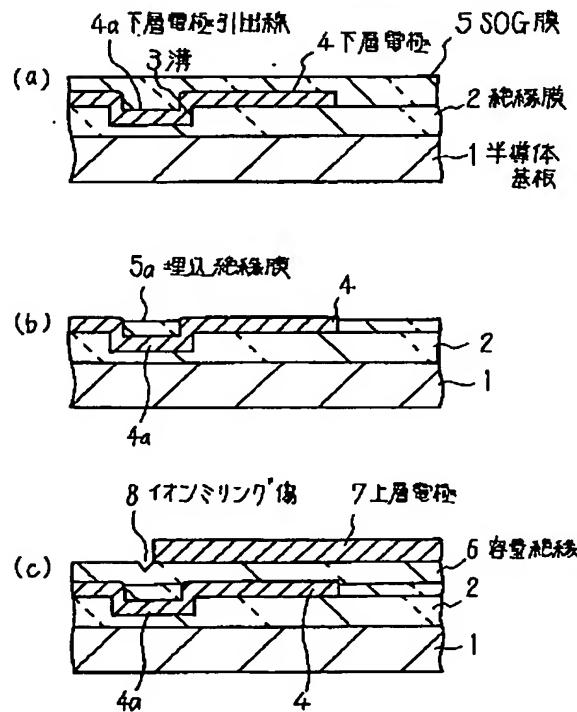
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 MIMキャパシタ

(57)【要約】

【目的】上層電極を形成するためのパターニング工程で生ずるイオンミリング傷による絶縁破壊耐圧の低下を防ぐ。

【構成】下層電極4よりもひとまわり大きい面積を有する上層電極7で下層電極4を覆い、且つ上層電極7の周縁端部が溝3内の埋込絶縁膜5aと容量絶縁膜6の積層部分を介して交差させることにより、イオンミリング傷8による絶縁破壊を防止する。



【特許請求の範囲】

【請求項1】 半導体基板上に形成した絶縁膜又は半絶縁性半導体基板の表面に形成した溝と、前記絶縁膜又は半絶縁性半導体基板上に形成した下層電極と、前記下層電極に接続し且つ前記溝を横断して形成した下層電極引出線と、前記下層電極引出線を含む前記溝内に埋込んで形成した埋込絶縁膜と、前記埋込絶縁膜および前記下層電極を含む表面に形成した容量絶縁膜と、前記容量絶縁膜上に設けて前記下層電極を含み且つそれよりも広い領域を覆いその周縁端部が前記溝内の下層電極引出線上を交差する上層電極を有することを特徴とするMIMキャパシタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路装置等に用いられるMIM(金属膜／絶縁膜／金属膜)キャパシタに関する。

【0002】

【従来の技術】 従来のMIMキャパシタについて図面を参照して説明する。

【0003】 図2(a)は従来のMIMキャパシタの第1の例を示す平面図、図2(b)は図2(a)のA-A'線断面図、図2(c)は図2(a)のB-B'線断面図である。

【0004】 図2(a)～(c)に示すように、半導体基板1の上に形成した絶縁膜2の上に下層電極4およびこの下層電極4に接続した下層電極引出線4aを形成し、これらを含む表面に容量絶縁膜6を形成し、容量絶縁膜6の上に下層電極4と対向する上層電極7を形成し、MIMキャパシタを構成する。

【0005】 ここで、上層電極7の厚さをめっき工程で厚くすることが多く、通常、上層電極7のパターニングにはイオンミリングが使用される。その結果、上層電極7の周縁端部に沿って容量絶縁膜6が浅く堀込まれたイオンミリング傷8が形成され、このイオンミリング傷8に電界集中が起こり絶縁破壊が生じ易いという問題があった。

【0006】 図3(a)は従来のMIMキャパシタの第2の例を示す平面図、図3(b)は図3(a)のC-C'線断面図である。

【0007】 図3(a), (b)に示すように、下層電極4の領域を含み且つ下層電極4よりも広い領域を覆う上層電極7を容量絶縁膜6の上に形成すると共に上層電極7の周縁端部が下層電極引出線4a上と交差する部分の容量絶縁膜6の上に補助絶縁膜9を形成することにより、容量絶縁膜6上に設けた金属膜をパターニングして上層電極7を形成する際のイオンミリング傷8によって下層電極4との間の絶縁破壊耐圧が低下することを防止している。

【0008】

【発明が解決しようとする課題】 この従来のMIMキャパシタは、上層電極の周縁端部を下層電極の周縁よりも更に外周に広げるように上層電極の面積を大きくすると同時に上層電極の周縁端部と下層電極引出線が交差する部分に補助絶縁膜を重ねて絶縁破壊を防止しているが、補助絶縁膜をパターニングする際に容量絶縁膜の表面もエッチングされ、そのエッチング工程におけるエッティング速度のばらつきにより容量電極の厚さが不揃いになり、その結果、容量値のばらつきを生ずるという問題がある。

【0009】 本発明の目的は、容量値のばらつきを伴うことなくイオンミリング傷に起因する絶縁破壊耐圧を向上させたMIMキャパシタを提供することにある。

【0010】

【課題を解決するための手段】 本発明のMIMキャパシタは、半導体基板上に形成した絶縁膜又は半絶縁性半導体基板の表面に形成した溝と、前記絶縁膜又は半絶縁性半導体基板上に形成した下層電極と、前記下層電極に接続し且つ前記溝を横断して形成した下層電極引出線と、前記下層電極引出線を含む前記溝内に埋込んで形成した埋込絶縁膜と、前記埋込絶縁膜および前記下層電極を含む表面に形成した容量絶縁膜と、前記容量絶縁膜上に設けて前記下層電極を含み且つそれよりも広い領域を覆いその周縁端部が前記溝内の下層電極引出線上を交差する上層電極を有する。

【0011】

【実施例】 次に、本発明の実施例について図面を参照して説明する。

【0012】 図1(a)～(c)は本発明の一実施例の製造方法を説明するための工程順に示した断面図である。

【0013】 まず、図1(a)に示すように、半導体基板1の上に形成した絶縁膜(又はGaAs等の半絶縁性半導体基板)2の表面に深さ0.2～0.5μm程度の溝3を形成する。次に、溝3を含む絶縁膜2の上にアルミニウム膜を0.1～0.2μmの厚さに堆積してパターニングし、下層電極4および下層電極4に接続して溝3を横断する下層電極引出線4aを形成する。次に、溝3内の下層電極引出線4aを含む表面にSOG膜5を形成して表面を平坦化する。

【0014】 次に、図1(b)に示すように、全面をエッチバックして下層電極4の上面をちょうど露出させ溝3内を充填して埋込んだ埋込絶縁膜5aを形成する。

【0015】 次に、図1(c)に示すように下層電極4を含む表面にSiO₂, Si₃N₄, Ta₂O₅等の誘電体からなる容量絶縁膜6を約0.1μmの厚さに形成した後容量絶縁膜6の上にスパッタ法および電気めっきにより厚さ2～3μmのアルミニウム膜を形成してイオンミリングでパターニングし、周縁端部が下層電極4の周縁よりも外周に広げた広い面積を有し、且つ周縁端部

3

が溝3内の下層電極引出線4aの上を交差する上層電極7を形成する。

【0016】このように、下層電極7の周縁端部を溝3内の下層電極引出線4a上で交差させることにより、この部分の絶縁膜の厚さが容量絶縁膜6と埋込絶縁膜5aとを積層した厚さとなりイオンミリング傷8による絶縁破壊を防ぐことができる。

【0017】

【発明の効果】以上説明したように本発明は、絶縁膜(又は半絶縁性半導体基板)の表面に設けた溝を横断する下層電極引出線上に埋込んだ埋込絶縁膜と容量絶縁膜を介して下層電極引出線と上層電極の周縁端部を交差させることにより、イオンミリング傷による絶縁破壊を防止して耐圧特性を向上させることができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例の製造方法を説明するための

工程順に示した断面図。

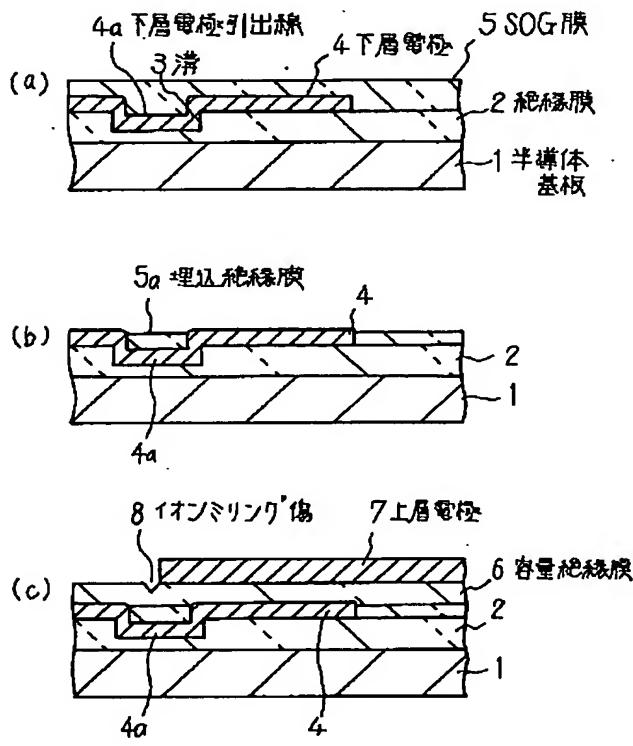
【図2】従来のMIMキャパシタの第1の例を示す平面図及びA-A'線断面図並びにB-B'線断面図。

【図3】従来のMIMキャパシタの第2の例を示す平面図およびC-C'線断面図。

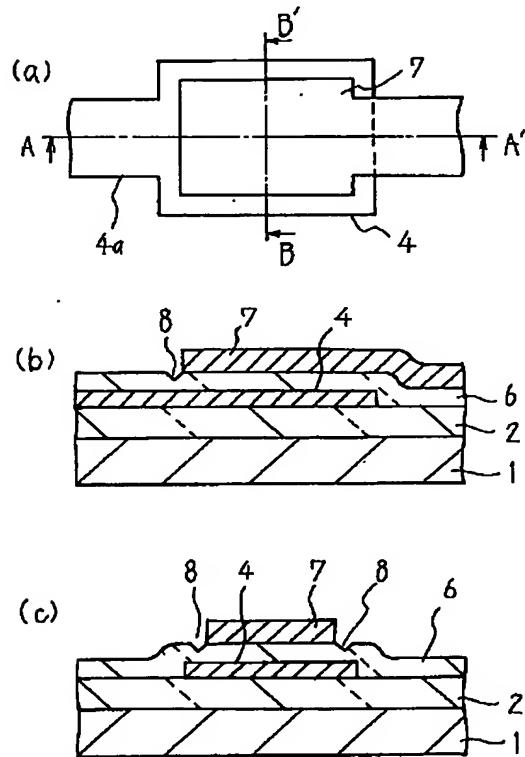
【符号の説明】

- | | |
|----|----------|
| 1 | 半導体基板 |
| 2 | 絶縁膜 |
| 3 | 溝 |
| 4 | 下層電極 |
| 4a | 下層電極引出線 |
| 5 | SOG膜 |
| 5a | 埋込絶縁膜 |
| 6 | 容量絶縁膜 |
| 7 | 上層電極 |
| 8 | イオンミリング傷 |
| 9 | 補助絶縁膜 |

【図1】



【図2】



【図3】

